

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **02028853 A**(43) Date of publication of application: **30.01.90**

(51) Int. Cl.

**G06F 12/14**  
**G11C 29/00**  
**H01L 27/10**

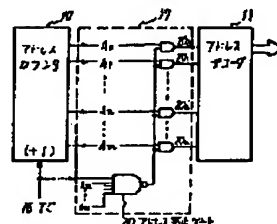
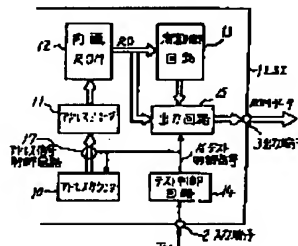
(21) Application number: **63181021**(71) Applicant: **NEC CORP**(22) Date of filing: **19.07.88**(72) Inventor: **ARIGA MASANORI**(54) **SEMICONDUCTOR INTEGRATED CIRCUIT  
DEVICE**

COPYRIGHT: (C)1990,JPO&amp;Japio

(57) Abstract:

**PURPOSE:** To protect the secret of a software program by decoding an address area in a part of a ROM address space and prohibiting ROM data in the area to be read out of an LSI.

**CONSTITUTION:** When an LSI is in a test condition, a test signal TIN is inputted from an input terminal 2 and a test control signal 16 goes to an active condition '1' in a test control circuit 14. Further, in order to test the memory data of a building-in ROM 12, an address counter 10 successively obtains a count-up mode and ROM address  $A_0$ - $A_m$  are counted up. The input of an output circuit 15 is switched from an arithmetic control circuit 16 to the building-in ROM 12. For a gate 21, the test signal 16 is in a test condition '1' and a part of ROM address area, which are selected by the ROM addresses  $A_n$ - $A_m$ , is selected and goes to be '0'. Then, the ROM addresses  $A_0$ - $A_m$  are prohibited to be inputted to an address decoder 11.



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-28853

⑬ Int.Cl.<sup>5</sup>

G 06 F 12/14  
G 11 C 29/00  
H 01 L 27/10

識別記号

3 2 0 A  
3 0 3 B  
4 9 1

庁内整理番号

7737-5B  
7737-5B  
8624-5F

⑭ 公開 平成2年(1990)1月30日

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 半導体集積回路装置

⑯ 特 願 昭63-181021

⑰ 出 願 昭63(1988)7月19日

⑱ 発 明 者 有 賀 正 徳 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

半導体集積回路装置

特許請求の範囲

LSIを搭載した半導体基板に内蔵され少くともソフトウェアプログラムを記憶したプログラムメモリを有する内蔵メモリと、前記プログラムメモリのアドレスを発生するアドレス発生回路およびアドレスデコーダと、前記プログラムメモリの内容を外部に読出す出力回路と、前記LSI外部から入力されるテスト信号により前記プログラムメモリのアドレスを制御するアドレス制御信号を出力するテスト制御回路と、このテスト制御回路のアドレス制御信号を前記アドレス発生回路のアドレスが所定アドレスとなったとき前記アドレス制御信号をオフとし、または前記出力回路の出力をオフとするよう制御するアドレス制御回路とを備えることを特徴とする半導体集積回路装置。

発明の詳細な説明

〔産業上の利用分野〕

本発明は内蔵プログラムメモリの内容を保護する半導体集積回路に関する。

〔従来の技術〕

従来、同一基板上にプログラムメモリを内蔵して電卓、ゲーム等に用いられる1チップ1チップマイコンとして、第4図に示す構成のものがある。このLSI1'はアドレスカウンタ10、アドレスデコーダ11、内蔵ROM12、演算制御回路13、テスト制御回路14および出力回路15から構成される。この1チップマイコン1'は、内蔵するテスト制御回路14により、LSIのテスト時にアドレスカウンタ10がアドレスを順次カウントすることにより、ROMアドレスをアドレスデコーダ11によりデコードし、プログラムを記憶した内蔵ROM12の内容を容易に、読出せる機能を備えている。

〔発明が解決しようとする課題〕

-2-

このような従来の回路構成では、実動作時に不要なROMデータの読出すことができる。この読出し機能は、第三者としてもROM12上に記憶されているソフトウェアプログラムの内容を読出す事を可能とし、そのソフトウェアの機密保護が困難であり、またLSIが汎用のものであれば、ソフトウェアを含むLSIのコピーが可能となってしまうという問題がある。

本発明の目的は、このような問題を解決し、ROMアドレス空間内の一部のアドレス領域をデコードし、その領域のROMデータのLSI外への読出しを禁止することにより、ソフトウェアプログラムの機密保護を可能とした半導体集積回路を提供することにある。

〔課題を解決するための手段〕

本発明の半導体集積回路装置の構成は、LSIを搭載した半導体基板に内蔵され少くともソフトウェアプログラムを記憶したプログラムメモリを有する内蔵メモリと、前記プログラムメモリのアドレスを発生するアドレス発生回路およびアドレ

-3-

スデコードと、前記プログラムメモリの内容を外部に読出す出力回路と、前記LSI外部から入力されるテスト信号により前記プログラムメモリのアドレスを制御するアドレス制御信号を出力するテスト制御回路と、このテスト制御回路のアドレス制御信号を前記アドレス発生回路のアドレスが所定アドレスとなったとき前記アドレス制御信号をオフとし、または前記出力回路の出力をオフとするよう制御するアドレス制御回路との備えることを特徴とする。

〔実施例〕

次に本発明の実施例について図面を用いて説明する。

第1図は本発明の一実施例のブロック図である。本実施例は、LSIのテスト時特定アドレスのデコードを禁止することによりプログラムメモリの読み出しを禁止するものでLSI1に内蔵されている。本実施例は、少なくともプログラムメモリを含む内蔵メモリ12と、演算制御回路13と、この内蔵メモリ12のアドレスを選択するア

-4-

ドレスデコード11と、そのアドレスをカウントして出力するアドレスカウンタ10と、LSI外部から入力されるテスト信号 $T_{in}$ によりアドレスカウンタ10及びアドレス信号を制御するゲートからなるアドレス信号制御回路17と、内蔵メモリ12の内容をLSI1外部に出力する出力回路15と、この出力回路15を制御するテスト制御信号16を発生するテスト制御回路14とにより構成されている。

第2図は第1図のアドレス信号制御回路17を示す回路図である。アドレスカウンタ10のアドレス信号出力 $A_0 \sim A_n$ の内、任意の一部のアドレス信号 $A_0 \sim A_n$ とテスト信号(TC)16とを入力とするNANDゲートのアドレス禁止ゲート21と、このゲート21の出力信号とアドレス信号 $A_0 \sim A_n$ の各々を入力とするANDゲート20 $_0 \sim 20_n$ とからなり、これらゲート20 $_0 \sim 20_n$ の出力はアドレスデコード11に供給される。

次に、第1図、第2図を用い本実施例の動作を

-5-

説明する。

LSI1がテスト状態の場合、テスト信号 $T_{in}$ が入力端子2から入力され、テスト制御回路14が動作状態となり、このテスト制御回路14でテスト制御信号16がアクティブ状態「1」となる。テスト信号16はアドレスカウンタ10、出力回路15、アドレス制御回路17にも入力され、内蔵ROM12のメモリデータをテストするためアドレスカウンタ10を順次カウントアップするモードとし、ROMアドレス $A_0 \sim A_n$ は順次カウントアップされる。それと同時に、内蔵ROM12のメモリデータを出力端子3から出力するように、出力回路15の入力を演算制御回路13から内蔵ROM12の出力へと切替える。

一方、ゲート21はテスト信号16がテスト状態「1」で、ROMアドレス $A_0 \sim A_n$ で選ばれたROMアドレス領域の一部が選択されると「0」となり、ゲート20 $_0 \sim 20_n$ によりROMアドレス $A_0 \sim A_n$ がアドレスデコード11へ入力される事を禁止する。このためROM

-6-

アドレス $A_0 \sim A_m$ で選ばれるアドレス領域はアドレスデコーダ11でデコードされずに内蔵ROM12のデータはLSI1の外部には出力されない事になる。

本実施例は、アドレスデコーダの入力を制御する事により、内蔵ROM12プログラムメモリデータのLSI外部への読出しを禁止したものであるが、他の実施例として第3図に示す様に、テスト時ROMの一部のアドレス領域を選択するゲート7'の出力を用いて出力回路15を禁止するように制御する事によっても、同様にメモリデータのLSI外部への読出しを禁止する事が出来る。  
〔発明の効果〕

以上説明したように本発明は、テスト時にプログラムメモリの内容を外部に読出し可能となっている電卓、ゲーム用等の1チップマイクロコンピュータにおいて、同一基板内に内蔵するプログラムメモリのアドレス空間の一部アドレス領域についてのメモリ内容の外部読出しを禁止する事によって、第三者によるソフトウェアのコピーなどが

らソフトウェアプログラムの保護を可能とするとい効果がある。

#### 図面の簡単な説明

第1図は本発明の一実施例のLSIのブロック図、第2図は第1図のアドレス制御回路の一例の回路図、第3図は本発明の第2の実施例のブロック図、第4図は従来の半導体集積回路の一例のブロック図である。

1…LSI、2…テスト信号 $T_{in}$ 入力端子、3…ROMデータ出力端子、10…アドレスカウンタ、11…アドレスデコーダ、12…内蔵ROM、13…演算制御回路、14…テスト制御回路、15…出力回路、16…テスト制御信号、17、17'…アドレス信号制御回路、20 $_0 \sim 20_m$ …ANDゲート、21…アドレス禁止ゲート、 $A_0 \sim A_m \sim A_n$ …アドレスカウンタ出力信号。

代理人 弁理士 内 風 智

-7-

-8-

